# УДК 004.414.23

А.А. Кулакова, Е.Б. Лукьяненко

(г. Таганрог, Инжиниринговый центр приборостроения, радио- и микроэлектроники ЮФУ)

Anastasia Kulakova, Evgeniy Lukyanenko (Taganrog, Engineering center of instrument making, radio‒ and microelectronics, Southern federal university)

**блочный метод синтеза комбинационных и последовательностных МеМОП–СХЕМ С ИСПОЛЬЗОВАНИЕМ КАРТ МИНТЕРМОВ**

**THE block method for synthesis of combinational and sequential MeMOS-CIRCUITS USING MAPS OF MINTERMS**

*Приведены комбинационная (Исключающее ИЛИ) и последовательностная (RS-триггер) схемы, реализованные с помощью блочного метода синтеза МеМОП-схем с использованием карт минтермов. Показано, что данный метод позволяет не только синтезировать МеМОП-схему, но и оптимизировать ее. Представлены результаты сравнения приведенных схем на мемристорной логике со схемами на стандартной логике по потребляемой мощности, выявляющие преимущества синтезированных элементов перед схемами на стандартных логических элементах.*

*Combinational (XOR) and sequential (RS-flip-flop) circuits, implemented using the block method of synthesis of MeMOS-circuits using maps of minterms, are presented. It is shown that this method makes it possible not only to synthesize the MeMOS-circuit, but also to optimize of these circuits.* *The results of comparison of the above circuits based on logic of memristor with circuits based on standard logic in terms of power consumption are presented, revealing the advantages of synthesized elements over circuits based on standard logic elements.*

*Ключевые слова: RS-триггер, МеМОП-логика, стандартный логический элемент, рассеиваемая мощность, схемотехническое моделирование, логический синтез, оптимизация схем.*

*Keywords: RS–flip-flop,* *MeMOS-logic, standard logic element, power dissipation, the circuit simulation,* *logic synthesis, circuit optimization.*

**Введение** Интеграция энергонезависимых элементов – мемристоров и КМОП–технологии, (мемристорная логика, МеМОП–логика) – является актуальной задачей [1, 2]. Таким образом, снижается занимаемая площадь, рассеиваемая мощность и увеличивается быстродействие синтезируемых схем [3]. Преимущества мемристоров перед КМОП-транзисторами заключаются в меньших размерах, энергонезависимости и неограниченном времени хранения информации. Из этого следует, что создание цифровых элементов на гибридной МеМОП-логике является актуальной задачей.

Мемристор представляет собой структуру металл-диэлектрик-металл, в которой в качестве диэлектрика обычно используется тонкая пленка диоксида титана (TiO2).

Для комбинационных и последовательностных схем в цифровой схемотехнике используются элементы булевой алгебры: И, ИЛИ, НЕ. Они позволяют создавать наращивать сложность цифровых схем.

В качестве примера рассмотрим синтез комбинационной (Исключающее ИЛИ) и последовательностной (RS-триггер) МеМОП-схем с помощью карт минтермов. Уравнение схемы «Исключающее ИЛИ»:



После взятия двойной инверсии от правой части выражения получается:

$$a⨁b=\overbar{\overbar{a\overbar{b}}·\overbar{\overbar{a}b}}.$$

По приведенной выше формуле синтезируем МеМОП-схему «Исключающее ИЛИ», используя элемент **­**«И-НЕ» (рис. 1).



*Рис. 1. МеМОП–схема – а. «Исключающее ИЛИ» – б. график ее работы*

**Результаты схемотехнического моделирования** Исследование схемы проводилось путем математического моделирования в САПР OrCAD. Для инверторов использовались модели КМОП-транзисторов четвертого поколения (BSIM4) и 0,18 мкм технология [4]. Напряжение питания 1,8 В. Длительность каждого состояния равна 10 нс.

График, приведенный на рис. 1, б показывает правильность функционирование элемента «Исключающее ИЛИ» и его соответствие таблице истинности. Измеренная мощность комбинационной МеМОП-схемы составила 7,7 мкВт.

 Следует отметить, что в работе используется логический элемент «НЕ» на КМОП-транзисторах, поскольку он не реализуется на одних мемристорах. Соединение мемристорных элементов непосредственно друг с другом без буферных каскадов некорректно потому что мемристоры имеют достаточно высокоомные состояния, поэтому в качестве буфера используем инвертор.

Метод синтеза гибридных схем MRL [5-8] предполагает построение схем путем замены элементов «И-НЕ» и «ИЛИ-НЕ» в стандартной логике на мемристорные элементы. В настоящей работе рассматривается метод синтеза гибридных схем с помощью таблицы истинности и карт Карно. Получим оптимизированное уравнение RS-триггера. Таблица истинности RS-триггера имеет вид:

*Таблица истинности RS-триггера*

|  |  |  |
| --- | --- | --- |
| S | R | Qn+1 |
| 0 | 0 | Q |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | н/о |

Уравнение триггера, записанное в виде суммы минтермов, равно:



В результате минимизации уравнения с помощью карт Карно, получим:



После взятия двойной инверсии, уравнение RS-триггера, выраженное через функции «ИЛИ-НЕ» имеет вид:

$$Q^{n+1}=\overbar{R+\left(\overbar{Q+S}\right).}$$

МеМОП-хема, синтезированная по этому уравнению, приведена на рис. 2.



*Рис. 2. МеМОП–схема – а. RS-триггера с прямыми входами – б.*

*график ее работы*

График работы RS-триггера совпадает с таблицей истинности, его рассеиваемая мощность равна 2,2 мкВт.

**Выводы**  В работе показано, что оптимальным решением для МеМОП–логики является применение элементов «И-НЕ» и «ИЛИ-НЕ». Элемент «НЕ» выполнен на КМОП-транзисторах, в то время как схемы «И», «ИЛИ» синтезированы на мемристорах. Предложен блочный метод для синтеза схем на МеМОП-логике. Представлены схемы «Исключающее ИЛИ» и RS-триггера с прямыми входами. Схемотехническое моделирование показало, что средняя рассеиваемая мощность RS-триггера на стандартных логических элементах составила 7,7 мкВт и 2,2 мкВт для RS-триггера на мемристорах. Потребляемая мощность схемы «Исключающее ИЛИ» на стандартных логических элементах равна 13 мкВт, соответственно, схемы на мемристорах – 9,2 мкВт.

**Список литературы**

1. *Dong Z., Qi D., He Y., Xu Z., Hu X., Duan S.* Easily Cascaded Memristor-CMOS Hybrid Circuit for High-Efficiency Boolean Logic Implementation. Int. J. Bifurc. Chaos, Vol. 28, No.13, p. 1850149-1–1850149-13.

2. *Teimoory M., Amirsoleimani A., Ahmadi A., Ahmadi M.* A hybrid memristor-CMOS multiplier designbased on memristive universal logic gates IEEE 60th International Midwest Symposium on Circuits and Systems, 2017. – p. 1422–1425.

3*. Кулакова А.А., Лукьяненко Е.Б.* Схемотехника D-триггеров – основных элементов заказных последовательностных СБИС. // Нано- и микросистемная техника. Том 21, №7, 2019.- с. 422–429.

4*. Денисенко В.В.* Компактные модели МОП-транзисторов для SPICE в микро- и наноэлектронике. – М.: ФИЗМАТЛИТ, 2010. – 408 с.

5. *Kvatinsky S., Belousov D., Liman S., Satat G., Wald N., Friedman E., Kolodny A*. MAGIC–memristor aided LoGIC. IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 61, no. 11, 2014. - pp. 895-899.

6.  *Kvatinsk S., Wald.N., Satat G., Friedman E., Kolodny A., Weiser. U.* MRL – Memristor Ratioed Logic, Proceedings of the International Cellular Nanoscale Networks and their Applications, 2012. - pp. 1-6.

7. *Kvatinsky S., Wald N., Satat G., Friedman E., Kolodny A., Weiser U.* Memristor-based material implication (imply) logic: Design principles and methodologies, IEEE Transactions on Very Large Scale Integration (VLSI), 2013. - pp. 1–13.

8. *Guckert L., Swartzlander E.* MAD Gates—Memristor Logic Design Using Driver Circuitry, in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 64, no. 2, 2017. - pp. 171175.